

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-297969

(43)Date of publication of application : 12.11.1996

(51)Int.Cl.

G11C 11/403

(21)Application number : 07-102473

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 26.04.1995

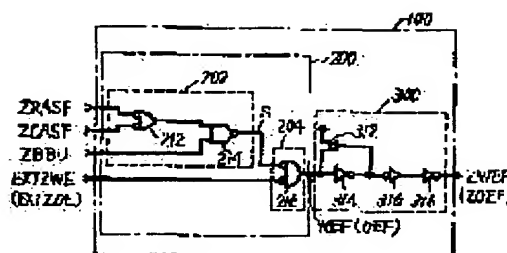
(72)Inventor : HAYAKAWA GORO
TSUKIKAWA YASUHIKO

(54) DYNAMIC SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To obtain a dynamic semiconductor memory in which low current consumption can be realized without generating any through current under stand-by state.

CONSTITUTION: A first logic gate circuit 202 receives an internal row strobe signal ZRASF, an internal column strobe signal ZCASF and a self refresh mode signal ZBBU and outputs an operating state detection signal S. The operating state detection signal S goes 'H' under stand-by state and self refresh state. A second CMOS logic gate circuit 204 is closed when the operating state detection signal S goes 'H'. Consequently, an external I/O control signal EXTZWE is not transmitted to the inside and no through current is fed to the second CMOS logic gate circuit regardless of the level of EXTZWE signal.



LEGAL STATUS

[Date of request for examination]

16.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-297969

(43)公開日 平成8年(1996)11月12日

(51)Int.Cl.⁶

G 1 1 C 11/403

識別記号

庁内整理番号

F I

G 1 1 C 11/34

技術表示箇所

3 6 3 M

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21)出願番号 特願平7-102473

(22)出願日 平成7年(1995)4月26日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 早川 吾郎

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社北伊丹製作所内

(72)発明者 月川 靖彦

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社北伊丹製作所内

(74)代理人 弁理士 深見 久郎 (外3名)

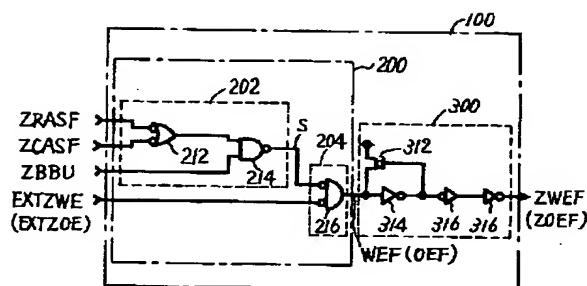
(54)【発明の名称】 ダイナミック型半導体記憶装置

다이내믹형 반도체 기억장치

(57)【要約】

【目的】 スタンバイ状態時に、貫通電流を生じることがなく低消費電流化が可能なダイナミック型半導体記憶装置を提供する。

【構成】 第1の論理ゲート回路202は、内部行ストロープ信号ZRAS Fおよび内部列ストロープ信号ZCAS Fならびにセルフリフレッシュモード信号ZBBUを入力して動作状態検出信号Sを出力する。動作状態検出信号Sは、スタンバイ状態およびセルフリフレッシュ状態において“H”レベルとなる。第2のCMOS論理ゲート回路204は、動作状態検出信号Sが“H”レベルの場合、閉状態となる。したがって、外部入出力制御信号EXTZWEは内部に伝達されず、また、EXTZWE信号のレベルにかかわらず、第2のCMOS論理ゲート回路に貫通電流が流れない。



【特許請求の範囲】

【請求項1】 第1の外部信号および第2の外部信号の信号レベルの組合せにより、スタンバイ状態、セルフリフレッシュ状態および読出／書込動作状態の3つの動作モードが指定可能なダイナミック型半導体記憶装置であって、

前記第1の外部信号および前記第2の外部信号に応じて、それぞれに対応する第1の内部信号および第2の内部信号と、セルフリフレッシュモード信号とを出力するタイミング信号発生手段と、

前記第1の内部信号、前記第2の内部信号、前記セルフリフレッシュモード信号および外部入出力制御信号を受けて、内部入出力制御信号を出力する制御信号入力バッファ手段とを備え、

前記制御信号入力バッファ手段は、

前記第1の内部信号、前記第2の内部信号および前記セルフリフレッシュモード信号を受けて、動作状態検出信号を出力する第1の論理ゲート回路と、

前記動作状態検出信号により制御され、前記外部入出力制御信号を受けて、前記読出／書込動作状態の場合は、対応する前記内部入出力制御信号を出力し、スタンバイ状態およびセルフリフレッシュ状態の場合は、閉状態となる第2のCMOS論理ゲート回路とを含み、

前記内部入出力制御信号に応じて、外部とデータの入出力を行なうデータ入出力バッファ手段をさらに備える、ダイナミック型半導体記憶装置。

【請求項2】 前記制御信号入力バッファ手段は、前記第2のCMOS論理ゲート回路の出力信号を受けて、前記出力信号レベルの保持動作を行なうラッチ回路と、

前記ラッチ回路の出力を受けて、前記内部入出力制御信号を出力するドライブ回路とをさらに含む、請求項1記載のダイナミック型半導体記憶装置。

【請求項3】 前記第1の外部信号は、行ストロープ信号であり、

前記第2の外部信号は、列ストロープ信号であり、

前記第1の論理回路は、

前記第1の内部信号および前記第2の内部信号を受ける第1のNAND回路と、

前記第1のNAND回路の出力および前記セルフリフレッシュモード信号を受ける第2のNAND回路とを含み、

前記第2のCMOS論理ゲート回路は、

前記第2のNAND回路の出力および前記外部入出力制御信号を受けるCMOS NOR回路である、請求項1または2記載のダイナミック型半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、バッファ回路を介して入力される入出力制御信号により、データ入出力動作が

制御される半導体記憶装置に関し、特にリフレッシュ動作により記憶情報の再書込を行なう、入出力制御信号入力CMOSバッファ回路を有するダイナミック型半導体記憶装置に関する。

【0002】

【従来の技術】 近年、半導体記憶装置、特にDRAMにおいては、高速化および低消費電力化が重要視されている。特に、バッテリー動作時等においてはスタンバイ電流の低減が重要となっている。

【0003】 DRAMにおいて、スタンバイ電流は電源電位 V_{cc} 、 V_{ss} を印加し、制御信号である行ストロープ信号（／RAS信号）、列ストロープ信号（／CAS信号）を“H”レベルにしたときの消費電流を言い、製品規格上では、／RAS信号、／CAS信号以外の入力ピンレベルは任意となっている。

【0004】 一方、DRAMと外部とのデータの入出力は、書込動作に対する外部制御信号であるライトイネーブル信号（／WE信号）および読出動作に対する外部制御信号であるアウトプットイネーブル信号（／OE信号）によって制御される。これらの外部入出力信号は、CMOS回路による入力バッファ回路を介してDRAM内部回路に伝達される。

【0005】

【発明が解決しようとする課題】 上記スタンバイ状態においては、これら外部入出力制御信号の入力ピンレベルは任意であるので、何らかの原因で、これらのピンの電位レベルがCMOS回路の“H”レベルと“L”レベルの中間電位である場合は、CMOS回路に貫通電流が流れ、消費電流の増大を招く。

【0006】 以下、上記問題点についてより詳しく説明する。図5は、／WE信号または／OE信号の入力初段バッファの第1の従来例を示している。なお、以下のバッファ回路の動作の説明においては、外部入出力制御信号と、入力バッファ回路を経た内部入出力制御信号とを区別するために、外部ライトイネーブル信号および外部アウトプットイネーブル信号を、それぞれEXTZWEおよびEXTZOEで表わし、内部ライトイネーブル信号および内部アウトプットイネーブル信号を、それぞれZWEFおよびZOE Fで表わすこととする。

【0007】 EXTZWE信号は、一方の入力端が“L”レベルに固定されたNOR回路216の他の入力端に入力する。したがって、この場合NOR回路216の出力信号は、EXTZWE信号を反転した信号となる。この出力信号は、PチャネルMOSトランジスタ312およびインバータ314から構成されるハーフラッチ回路に入力して、その値が保持される。このラッチ回路の出力は、インバータ316および318で構成されるドライブ回路に入力し、ZWEF信号として出力される。

【0008】 外部入出力制御信号EXTZOEについて

も全く同様である。図11は、NOR回路216の回路構成の一例を示す図である。

【0009】NOR回路216は、“H”レベルに相当する電源電位 V_{cc} および“L”レベルに相当する電源電位 V_{ss} との間に、直列接続されたPチャネルMOSトランジスタ220、222とそれらに接続する、並列接続されたNチャネルMOSトランジスタ226、224から構成される。

【0010】図5の第1の従来例においては、NOR回路216の一方の入力信号である信号Sは、“L”レベルに固定されているので、PチャネルMOSトランジスタ220は常に導通状態となっている。したがって、EXTZWE信号が中間電位レベルである場合は、PチャネルMOSトランジスタ220およびPチャネルMOSトランジスタ222ならびにNチャネルMOSトランジスタ224を介して貫通電流が流れることになる。

【0011】図6は、上記貫通電流の発生をセルフリフレッシュ動作中は防止することを目的とした、 \neg WE信号または \neg OE信号の入力バッファ回路の第2の従来例を示す。

【0012】DRAMのメモリセルは、通常、キャパシタに蓄えた電荷により情報を記憶する構成となっている。

【0013】したがって、一度情報を書込むことでキャパシタに電荷が蓄えられても、アクセストランジスタのサブスレショルド電流等の種々のリークにより電荷が徐々に失われていくので、記憶された情報が失われる前に、データを一旦読出して再度書込むリフレッシュ動作が必要である。

【0014】このリフレッシュ動作には、読出・書込といったランダムアクセス動作中に割込んで行なうリフレッシュ動作と、電池バックアップ期間中のようにチップ内の記憶情報を保持するためだけに行なうリフレッシュ動作がある。前者では、たとえばCBR(\neg CAS before \neg RAS)リフレッシュ動作が、また後者では、セルフリフレッシュ動作が標準になっている。

【0015】したがって、このセルフリフレッシュ期間中においてのみ、そのレベルが変化する信号により、上記外部入出力制御信号入力バッファ回路を非活性とする構成とすれば、セルフリフレッシュ期間中は、このバッファ回路における貫通電流が発生しないようにすることが可能である。

【0016】図6に示した第2の従来例においては、このセルフリフレッシュ期間中においてのみレベルが変化する信号として、ZBBU信号を用いている。

【0017】以下、ZBBU信号により制御されるDRAMの回路動作の一例について説明する。

【0018】一般に、DRAMは低消費電力化のために分割動作が採用されており、そのブロック分割数は大容量化とともに増加している傾向にある。しかし、分割動

作が進むとリフレッシュサイクル数(チップ状の全メモリセルをリフレッシュするのに必要なリフレッシュ動作の回数)も増えていく。

【0019】一方で、大容量化とともにメモリセルキャパシタ容量の絶対値が減少し、キャパシタ誘電体膜の薄膜化、アクセストランジスタのサブスレショルド特性の劣化およびメモリセル間距離の減少等により、メモリセルキャパシタのリーク電流が増加する。このため、メモリのリフレッシュ特性(メモリセルがリフレッシュ動作なしにデータを保持していられる時間に相当)は、劣化する傾向にある。

【0020】したがって、リフレッシュサイクル数はなるべく小さくすることが望ましい。このため、セルフリフレッシュ動作時の動作電流を減らし、かつリフレッシュサイクル数を減らす手段として、セルフリフレッシュ動作時には通常動作時より多くのブロックを動作させる手法がとられる場合がある。

【0021】図7に、8ブロック分割構成のDRAMの場合を示す。信号ZBBUは、セルフリフレッシュモード信号であり、セルフリフレッシュ動作中は、“L”となるような信号である。通常動作時は、信号ZBBUは“H”レベルであり、 $Z_0 \sim Z_2$ のブロックアドレスで選択される8ブロックのうちの1ブロックアドレスで選択される8ブロックのうちの1ブロックだけが動作する。

【0022】これに対し、セルフリフレッシュ動作時には、信号ZBBUが“L”となり、8ブロック内の2ブロックが動作する。たとえば、(Z_2 、 Z_1 、 Z_0)=(0、0、0)の場合、信号ZBBU=“L”であれば、 Z_2 の値にかかわらず、OR回路508および528の出力は“H”レベルとなるので、ブロック(0、0、0)と(1、0、0)が同時に選択される。

【0023】なお、ZBBU信号としては、このような信号に限定されるものではなく、セルフリフレッシュ期間中のみそのレベルが変化するものであれば、以下に述べるものと同様の動作を実現できる。

【0024】すなわち、図6に示した第2の従来例のように、NOR回路216の一方の入力端に、ZBBU信号をインバータ218で反転させた信号を入力させる構成とすれば、セルフリフレッシュ動作中は、NOR回路216は、EXTZWE信号のレベルにかかわらず、常に閉状態となる。

【0025】つまり、図11において、PチャネルMOSトランジスタ220が、セルフリフレッシュ期間中は閉状態となるので、EXTZWE信号が中間レベルであっても、NOR回路216に貫通電流は流れない。

【0026】しかしながら、従来の入出力制御信号入力バッファ回路は、上記のような構成であったので、DRAMがスタンバイ状態である場合、すなわち、 \neg RAS信号および \neg CAS信号がともに“H”レベルであっ

て、他の入力ピンレベルが任意である場合には、外部入出力制御信号入力バッファ回路において、貫通電流が生じる可能性があるという問題点を有していた。

【0027】本発明は、上記のような問題点を解決するためになされたものであって、その目的は、スタンバイ状態においても貫通電流が生じない、すなわち、消費電流を増大させることがない入出力制御信号入力バッファ回路を提供することである。

【0028】この発明の他の目的は、外部入出力制御信号の変動に、内部入出力制御信号が影響されることのない外部入出力信号入力バッファ回路を提供することである。

【0029】

【課題を解決するための手段】請求項1記載のダイナミック型半導体記憶装置は、第1の外部信号および第2の外部信号の信号レベルの組合せにより、スタンバイ状態、セルフリフレッシュ状態および読出／書込動作状態の3つの動作モードが指定可能なダイナミック型半導体記憶装置であって、第1の外部信号および第2の外部信号に応じて、それぞれに対応する第1の内部信号および第2の内部信号と、セルフリフレッシュモード信号とを出力するタイミング信号発生手段と、第1の内部信号、第2の内部信号、セルフリフレッシュモード信号および外部入出力制御信号を受けて、内部入出力制御信号を出力する制御信号入力バッファ手段とを備え、制御信号入力バッファ手段は、第1の内部信号、第2の内部信号およびセルフリフレッシュモード信号を受けて、動作状態検出信号を出力する第1の論理ゲート回路と、動作状態検出信号により制御され、外部入出力制御信号を受けて、読出／書込動作状態の場合は、対応する内部入出力制御信号を出力し、スタンバイ状態およびセルフリフレッシュ状態の場合は、閉状態となる第2のCMOS論理ゲート回路とを含み、内部入出力制御信号に応じて、外部とデータの入出力を行なうデータ入出力バッファ手段をさらに備える。

【0030】請求項2記載のダイナミック型半導体記憶装置は、請求項1記載のダイナミック型半導体記憶装置の構成に加えて、制御信号入力バッファ手段は、第2のCMOS論理ゲート回路の出力信号を受けて、出力信号レベルの保持動作を行なうラッチ回路と、ラッチ回路の出力を受けて、内部入出力制御信号を出力するドライブ回路とをさらに含む。

【0031】請求項3記載のダイナミック型半導体記憶装置は、請求項1または2記載のダイナミック型半導体記憶装置の構成に加えて、第1の外部信号は、行ストロブ信号であり、第2の外部信号は、列ストロブ信号であり、第1の論理回路は、第1の内部信号および第2の内部信号を受ける第1のNAND回路と、第1のNAND回路の出力およびセルフリフレッシュモード信号を受ける第2のNAND回路とを含み、第2のCMOS論

理ゲート回路は、第2のNAND回路の出力および外部入出力制御信号を受けるCMOS NOR回路である。

【0032】

【作用】請求項1記載のダイナミック型半導体記憶装置においては、外部入出力制御信号が直接入力する第2のCMOS論理ゲート回路は、読出／書込動作状態以外の場合は、閉状態となっている。

【0033】請求項2記載のダイナミック型半導体記憶装置においては、外部入出力制御信号に応じて出力される第2のCMOS論理ゲート回路の出力は、ラッチ回路において一旦保持された後、ドライブ回路により、内部回路に出力される。

【0034】請求項3記載のダイナミック型半導体記憶装置においては、行ストロブ信号、列ストロブ信号およびセルフリフレッシュモード信号によって、制御信号入力バッファ手段が制御される。その結果、外部入出力制御信号が直接入力される第2のCMOS論理ゲート回路は、スタンバイ状態およびセルフリフレッシュ状態においては閉状態となる。

【0035】

【実施例】図3は、本発明に係る入出力制御信号入力バッファ回路を含むダイナミック型半導体記憶装置の構成を表わす概略ブロック図である。

【0036】図3においてアドレスバッファ402は、外部から供給されたアドレス信号A0～A8を行デコーダ406および列デコーダ404に選択的に供給する。行デコーダ406は、アドレスバッファ402から供給される行アドレス信号にตอบสนองして、複数のワード線WLのうち1つを選択して駆動する。列デコーダ404は、アドレスバッファ402から供給される列アドレス信号にตอบสนองして、複数のビット線対のうち1つを選択する。

【0037】センスアンプ408は、その各々に対応するビット線対の間の電位差を増幅する。列デコーダ404によって選択されたビット線対に対応する増幅された信号は、出力バッファ414に供給される。出力バッファ414は、その供給された電位を増幅して出力データDQ1～DQ8として外部に供給する。データ入力バッファ412は、外部から供給された入力データDQ1～DQ8を増幅する。この増幅された信号が、列デコーダ404によって選択されたビット線対に供給される。

【0038】次に、図3の概略ブロック図で示される従来のダイナミック型半導体記憶装置の書込動作を外部信号のタイミングチャート図8に従って説明する。／RAS信号が立下がる時点で行アドレス信号がアドレスバッファ402に取込まれ、行デコーダ406に入力される。続いて／CAS信号が立下がる時点で、列アドレス信号がアドレスバッファ402に取込まれ、列デコーダ404に入力される。この場合、／CAS信号の立下がり時に列アドレスがバッファ404に取込まれるとともにD_i。(入力データ)がデータ入力バッファ412に取

込まれる。取込まれたデータは、データ入力バッファ412から、列アドレスによって選択されたビット線に書込まれる。この書込動作は、 $\overline{\text{CAS}}$ 信号と $\overline{\text{WE}}$ 信号がともに“L”レベルになったときに起動される。

【0039】つまり、 $\overline{\text{WE}}$ 信号、すなわち外部入力制御信号EXTZWEが、入出力制御信号入力バッファ回路100aを介してデータ入出力バッファ412に入力することで、データの取込が行なわれる。

【0040】このとき、外部入出力制御信号入力バッファ回路100aは、 $\overline{\text{RAS}}$ 信号および $\overline{\text{CAS}}$ 信号、すなわち、外部行ストロブ信号および外部列ストロブ信号に応じてタイミング発生回路400において発生される、内部行ストロブ信号(ZRAS F信号)および内部列ストロブ信号(ZCAS F信号)ならびにセルフリフレッシュモード信号(ZBBU信号)によって制御される。書込動作においては、入出力制御信号入力バッファ回路100aは、EXTZWE信号に応じた内部入出力制御信号ZWEFを出力する。

【0041】次に、図3および図9を参照して、読出動作について説明する。行アドレスおよび列アドレスがアドレスバッファ402に取込まれる動作は書込動作と同様である。列アドレス信号が、列デコーダ404に取込まれるとき、 $\overline{\text{WE}}$ 信号が“H”レベルに保持されると、以下の一連の読出動作が行なわれる。すなわち、指定された行および列の位置の記憶データが増幅され、データ出力バッファ414に転送される。アウトプットイネーブル信号($\overline{\text{OE}}$ 信号)、すなわち、外部アウトプットイネーブル信号EXTZOEが“L”レベルになることで、外部入出力制御信号入力バッファ回路100bを介して、データ出力バッファ414に内部出力制御信号(ZOEF信号)が入力され、出力ピンにデータが出力される。

【0042】このとき、外部入出力制御信号入力バッファ回路100bは、ZRAS F信号、ZCAS F信号およびZBBU信号によって制御され、EXTZOE信号に応じた内部入出力制御信号ZOEFを出力する。

【0043】次に、図10を参照して、セルフリフレッシュ動作の場合の、外部信号の変化を説明する。

【0044】通常のメモリサイクル終了後、上記読出/書込動作とは逆に、 $\overline{\text{CAS}}$ 信号が立下がった後に、 $\overline{\text{RAS}}$ 信号が立下がり、その時点において、 $\overline{\text{WE}}$ 信号が“H”レベルであり、かつ、たとえば、 $\overline{\text{RAS}}$ 信号の立下がり時間が100 μ s以上であることが検出されると、セルフリフレッシュ動作が開始される。この場合、 $\overline{\text{WE}}$ 信号は、 $\overline{\text{RAS}}$ 信号の立下がりの時点において、“H”レベルである必要があるものの、その他の時点では、任意の信号レベルをとり得る。図10においては、任意の信号レベルであり得る領域を、斜線で示している。

【0045】 $\overline{\text{RAS}}$ 信号および $\overline{\text{CAS}}$ 信号がともに

“L”レベルである限り、セルフリフレッシュ動作が継続する。

【0046】このとき、内部行ストロブ信号ZRAS Fは、タイミング発生回路400により発生され、周期的に“H”レベルと“L”レベルを繰り返し、セルフリフレッシュ動作を制御する。

【0047】このセルフリフレッシュ動作期間中は、前述のとおり、ZBBU信号は、“L”レベルとなっている。

【0048】また、前述したとおり、スタンバイ状態においては、 $\overline{\text{RAS}}$ 信号および $\overline{\text{CAS}}$ 信号はともに“H”レベルであり、その他の外部信号レベルは任意である。

【0049】ここで、以上の説明により内部制御信号のZRAS F信号、ZCAS F信号およびZBBU信号については、以下のことが言える。

【0050】読出/書込動作においては、ZRAS 信号およびZCAS F信号がともに“L”レベルであり、かつ、ZBBU信号が“H”レベルである場合か、ZRAS F信号が“H”レベルであり、ZCAS F信号が“L”レベルであり、かつ、ZBBU信号が“H”レベルである場合の2通りの場合がある。

【0051】スタンバイ状態においては、ZRAS F信号、ZCAS F信号およびZBBU信号はすべて“H”レベルである。

【0052】セルフリフレッシュ状態においては、ZCAS F信号およびZBBU信号は“L”レベルであり、ZRAS F信号は“L”レベルまたは“H”レベルである。

【0053】以上の前提条件の下に、続いて、外部入出力制御信号入力バッファ回路100の構成および動作についてさらに詳しく説明する。

【0054】図1は、本発明に係る外部入出力制御信号入力バッファ回路100の構成を示す概略ブロック図である。

【0055】第1の論理ゲート回路202は、内部信号であるZRAS F信号、ZCAS F信号およびZBBU信号を受けて、動作状態検出信号Sを出力する。ここで動作状態検出信号Sは、読出/書込状態においては、“L”レベルとなり、スタンバイ状態およびセルフリフレッシュ状態においては、“H”レベルとなるような信号である。

【0056】第2のCMOS論理ゲート回路204は、動作状態検出信号Sおよび外部入出力制御信号EXTZWEを入力して、対応する信号WEFを出力する。ラッチ回路302は、WEF信号の状態を保持し、ドライバ回路304は、ラッチ回路302の出力を受けて、内部入出力制御信号ZWEFを出力する。

【0057】図2は、図1に示した外部入出力制御信号入力バッファ回路の回路構成の一例を示す詳細回路図で

ある。

【0058】ZRAS F信号およびZCAS F信号はNAND回路212に入する。NAND回路212の出力およびZBBU信号は、NAND回路214に入する。NAND回路214の出力信号Sおよび外部入出力制御信号EXTZWEは、NOR回路216に入する。NOR回路216は、内部信号WEFを出力する。以上の各信号間の信号レベルの関係を図4に示す。

【0059】スタンバイ状態においては、ZRAS F信号、ZCAS F信号およびZBBU信号がともに“H”レベルであるので、動作状態検出信号Sは“H”レベルとなる。このため、EXTZWE信号の信号レベルにかかわらず、WEF信号のレベルは“L”レベルとなる。

【0060】セルフリフレッシュ状態においても、ZCAS F信号およびZBBU信号は“L”レベルであり、ZRAS F信号レベルにかかわらず、動作状態検出信号Sは“H”レベルとなる。したがって、この場合も内部信号WEFは、EXTZWE信号のレベルにかかわらず、“L”レベルとなる。

【0061】読出／書込状態においては、動作状態検出信号Sは“L”レベルとなるので、内部信号WEFは、EXTZWE信号を反転した信号となる。

【0062】したがって、読出／書込状態においてのみ、外部入出力制御信号EXTZWEに対応した信号すなわち、内部信号WEFがラッチ回路およびドライバ回路を経た内部入出力制御信号ZWEFとして出力される。

【0063】以上により、スタンバイ状態およびセルフリフレッシュ状態においては、外部入出力制御信号入力バッファ回路100は、非活性状態となることになる。

【0064】したがって、NOR回路216は、スタンバイ状態およびセルフリフレッシュ状態において閉状態となり、外部入出力制御信号EXTZWEのレベルにかかわらず、貫通電流が生じない。

【0065】しかも、NOR回路216の出力が、ラッチ回路に一旦保持された後ドライバ回路を経て内部入出力制御信号として出力されるので、外部入出力制御信号の変動が、内部入出力制御信号に与える影響を小さくすることが可能である。

【0066】以上説明した、外部入出力制御信号入力バッファ回路100の動作は、外部アウトプットイネーブル信号(EXTZOE信号)の場合においても、まったく同様である。

【0067】また、第1の論理ゲート回路202の構成は、上述のものに限定されるものではなく、ZRAS F信号、ZCAS F信号およびZBBU信号に応じて、スタンバイ状態およびセルフリフレッシュ状態の場合と読出／書込状態の場合で異なるレベルの信号を出力する回路であればよい。

【0068】また、第2のCMOS論理ゲート回路204の構成も、動作状態検出信号Sに応じて、導通状態あるいは遮断状態に変化する回路であれば上記構成に限定されるものではない。

【0069】

【発明の効果】請求項1記載のダイナミック型半導体記憶装置においては、制御信号入力バッファ手段において、外部入出力制御信号が直接入力する第2のCMOS論理ゲート回路は、スタンバイ状態およびセルフリフレッシュ状態においては、閉状態となるので、これらの状態においては貫通電流が生じることがない。したがって、ダイナミック型半導体記憶装置の消費電力の増大を防止することが可能である。

【0070】請求項2記載のダイナミック型半導体記憶装置においては、制御信号入力バッファ手段は、ラッチ回路およびドライバ回路を介して内部入出力制御信号を出力するので、外部入出力制御信号の変動が、内部入出力制御信号に与える影響を小さくすることが可能である。

【0071】請求項3記載のダイナミック型半導体記憶装置においては、制御信号入力バッファ手段は、行ストローブ信号、列ストローブ信号およびセルフリフレッシュモード信号によって制御されるので、請求項1記載のダイナミック型半導体記憶装置と同様の効果を奏する。

【図面の簡単な説明】

【図1】 本発明の実施例に係るダイナミック型半導体記憶装置における外部入出力制御信号入力バッファ回路の構成を示す概略ブロック図である。

【図2】 本発明に係る外部入出力制御信号入力バッファ回路の回路構成を示す詳細回路図である。

【図3】 本発明に係るダイナミック型半導体記憶装置の構成を示す概略ブロック図である。

【図4】 本発明に係る外部入出力制御信号入力バッファ回路の動作を示す信号レベル関係図である。

【図5】 入出力制御信号入力バッファ回路の第1の従来例を示す回路図である。

【図6】 入出力制御信号入力バッファ回路の第2の従来例を示す回路図である。

【図7】 ブロック分割されたダイナミック型半導体記憶装置の構成を示す概略ブロック図である。

【図8】 ダイナミック型半導体記憶装置の書込動作におけるタイミングチャートである。

【図9】 ダイナミック型半導体記憶装置の読出動作におけるタイミングチャートである。

【図10】 ダイナミック型半導体記憶装置のセルフリフレッシュモードにおけるタイミングチャートである。

【図11】 CMOS NOR回路を示す回路図である。

【符号の説明】

100 外部入出力制御信号入力バッファ回路、100

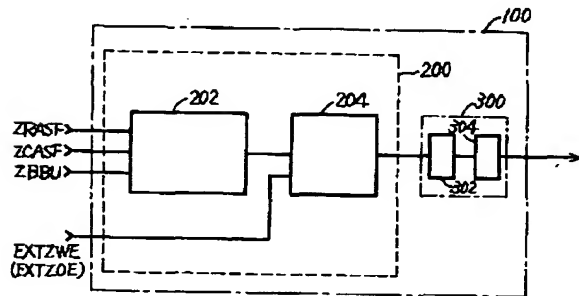
11

a 外部入力制御信号入力バッファ回路、100 b 外部出力制御信号入力バッファ回路、200 論理ゲートバッファ回路、202 第1の論理ゲート回路、204 第2のCMOS論理ゲート回路、212、214 N AND回路、216 NOR回路、220、222 PチャネルMOSトランジスタ、224、226 NチャネルMOSトランジスタ、300 内部駆動回路、302 ラッチ回路、304 ドライブ回路、312 PチャネルMOSトランジスタ、314、316、318 インバータ、400 タイミング発生回路、402 ア

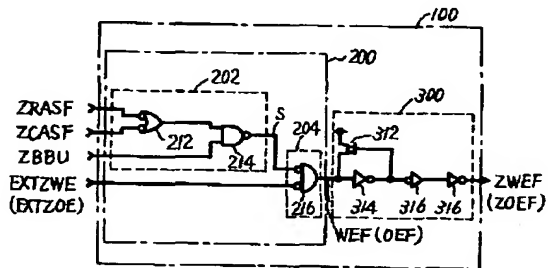
12

ドレスバッファ、404列デコーダ、406 行デコーダ、408 センスアンプ・I/O制御回路、410 メモリセルアレイ、412 データ入力バッファ、414 データ出力バッファ、500、520 センスアンプドライブ回路、502、522 アドレスデコーダ回路、504、524 遅延回路、506、510、526、530ブロック選択信号発生AND回路、508、512、528、532 OR回路、1000 ダイナミック型半導体記憶装置。

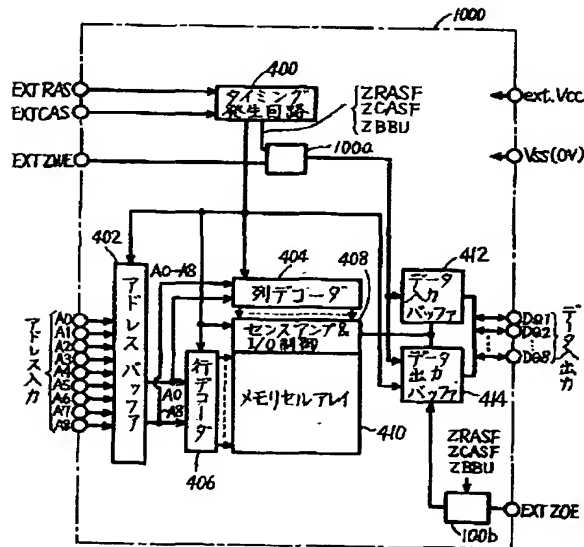
【図1】



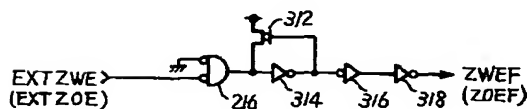
【図2】



【図3】



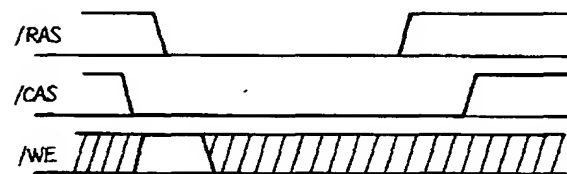
【図5】



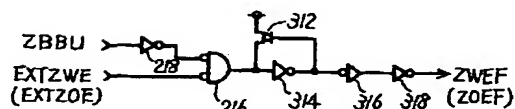
【図4】

	ZRAS	ZCAS	ZBBU	S	EXT ZWE (EXT ZOE)	WEF (OEF)
スタンバイ 状態	H	H	H	H	H	L
セクタリ シ状態	L → H	L	L	H	H	L
読出し 状態	L	L	H	L	H	L
	H	L	H	L	H	L
					L	H

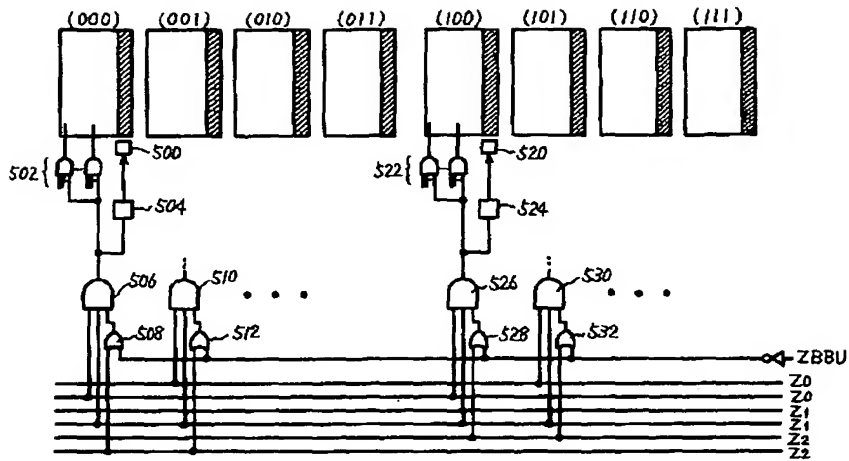
【図10】



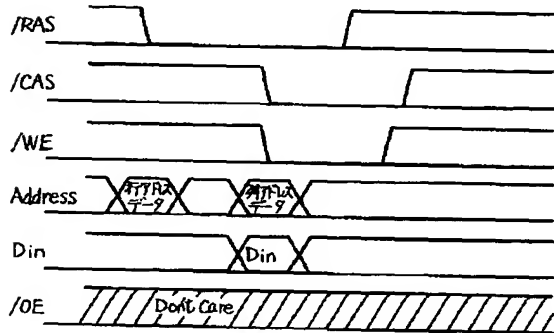
【図6】



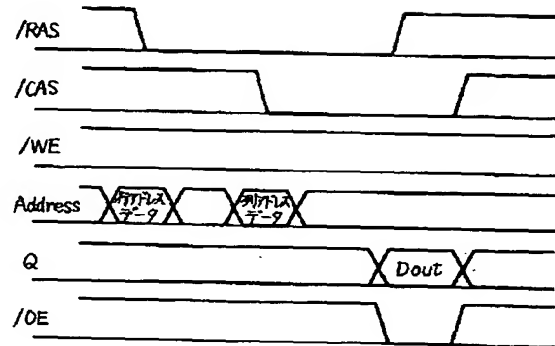
【図7】



【図8】



【図9】



【図11】

